

Руководство пользователя.
Модуль аналого-цифрового моделирования на языке
Verilog-AMS.

Оглавление

Моделирование работы устройства	3
Общие сведения	3
Поддерживаемые стандарты	3
Архитектура данных	3
Порядок работы.....	4
Рабочее пространство	5
Главное окно.....	5
Создание проекта цифрового моделирования и проекта печатной платы Delta Design.....	12
HDL-проект	12
Создание HDL проекта	12
Переименование проекта.....	13
Удаление проекта.....	14
HDL-файл	15
Создание файла	15
Переименование файла.....	15
Удаление файла.....	15
Добавление существующего файла	15
Просмотр свойств HDL-файла	16
Текстовый редактор	16
Моделирование.....	17
Подготовка к моделированию	17
Компиляция	17
Режимы моделирования	18
Визуализация данных	22
Возможности визуализации	22
Структура переменных.....	22
Осциллограф	22
Работа с данными в осциллографе	25
Данные в текстовом виде	27

Моделирование работы устройства

Общие сведения

Моделирование работы устройства нацелено на определение оптимальной его конфигурации. Для цифровой аппаратуры это достигается за счет системного «просчета» каждого отдельного сигнала, что позволяет получить целостную картину, отображая состояния моделируемых устройств.

Модуль аналого-цифрового моделирования Delta Design на языке Verilog-AMS позволяет моделировать работу цифровых устройств на основе языков описания аппаратуры: VHDL и Verilog, которые в дальнейшем будут обозначаться как HDL (Hardware Description Languages).

Поддерживаемые стандарты

Модуль позволяет использовать в моделировании работы аппаратуры следующие стандарты HDL-языков:

- Verilog-2001,
- VHDL-2008,
- Verilog-AMS Accelera.

Архитектура данных

HDL проект может быть создан как отдельный проект цифрового моделирования, так и в рамках проекта печатной платы Delta Design. HDL-проекты используются для моделирования работы аппаратной части с использованием HDL.

Базу проекта представляет один или множество HDL проектов, в свою очередь состоящие из определенного набора HDL файлов и прочих элементов.

Их можно рассматривать как отдельные блоки, из которых состоит устройство. HDL проект может содержать описание всей задачи в целом или только ее части.

Проекты не содержат исполняемый код в «чистом» виде. Весь код входит в проекты в виде отдельных HDL файлов. HDL проект может включать в себя бесконечное число HDL файлов.

Можно использовать как готовые файлы с кодом, написанные в сторонних приложениях, так и написать код внутри модуля аналого-цифрового моделирования на языке Verilog-AMS, используя все возможности и расширения встроенного текстового редактора.

Вся информация записывается и хранится в единой базе данных. При необходимости сохранить данные в виде отдельного файла необходимо использовать сторонний текстовый редактор, который позволит создать отдельный файл.

Порядок работы

Порядок работы обусловлен архитектурой системы.

Этапы моделирования цифровой аппаратуры в модуле аналого-цифрового моделирования:

1. Создание HDL проекта в рамках проекта печатной платы Delta Design или в рамках проекта цифрового моделирования;
2. Создание и (или) добавление HDL файла (Verilog/VHDL);
3. Написание или загрузка кода;
4. Компиляция HDL проекта;
5. Отладка кода;
6. Визуализация результатов моделирования.

Широкий функционал системы позволяет начать работу как с проекта печатной платы Delta Design, так и непосредственно с проекта цифрового моделирования.



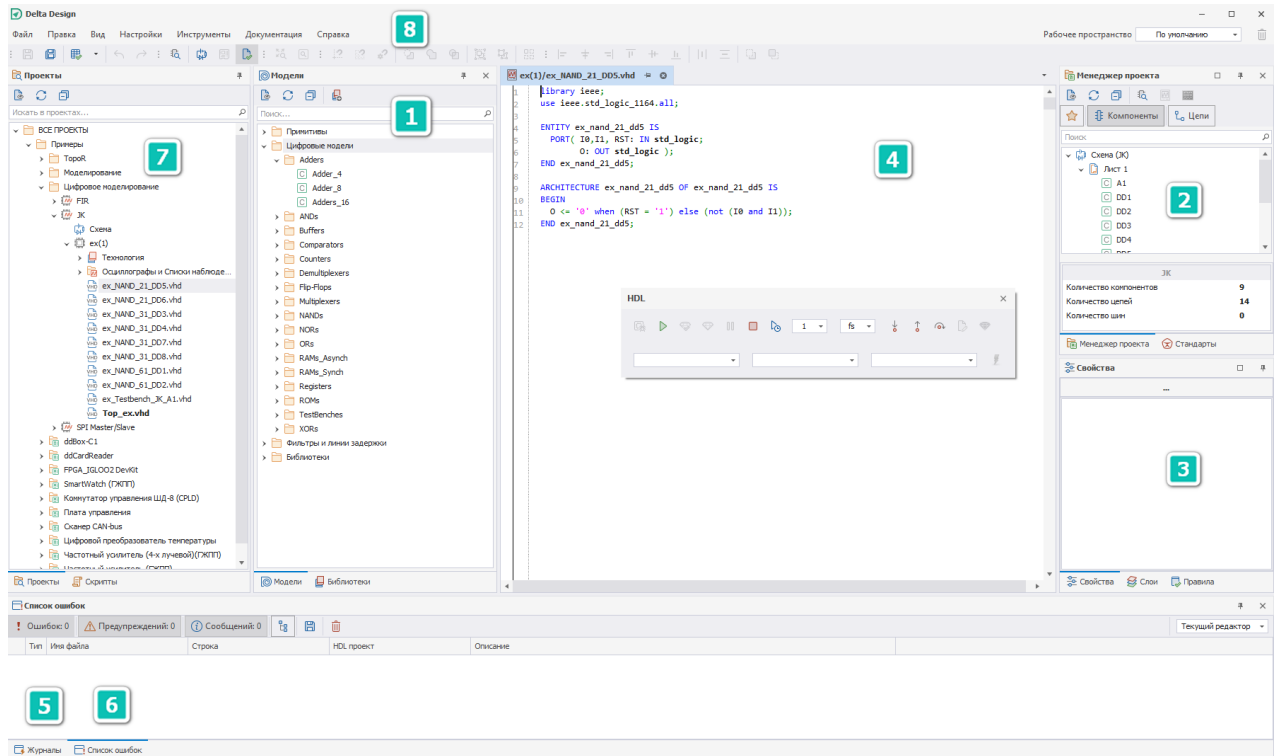
Примечание! Создание и последующая работа с HDL проектом в рамках проекта цифрового моделирования выполняется полностью в модуле аналого-цифрового моделирования Delta Design на языке Verilog-AMS, что означает невозможность дальнейшего перехода и переноса полученных данных в проект печатной платы Delta Design.

Рабочее пространство

Главное окно

Работа с модулем аналого-цифрового моделирования на языке Verilog-AMS осуществляется в главном окне системы.

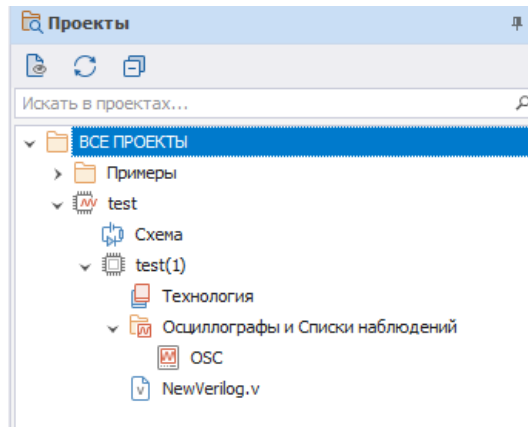
Графическая оболочка модуля состоит из:



1. Панель «Проекты».
2. Панель «Менеджер проекта».
3. Панель «Свойства».
4. Текстовый редактор.
5. Панель «Журналы».
6. Панель «Список ошибок».
7. Панель «Модели».
8. Главное меню и панели инструментов.

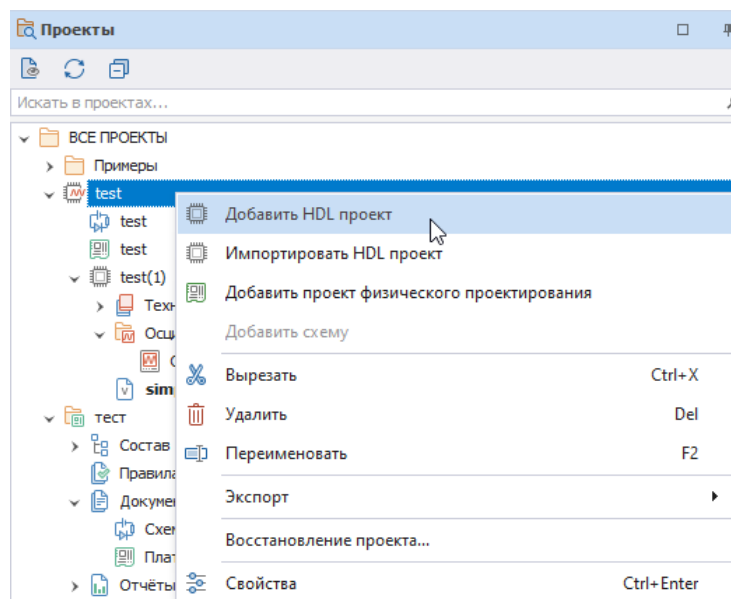
Панель «Проекты»

В панели «Проекты» отображаются созданные проекты цифрового моделирования со всеми вложенными проектными данными.

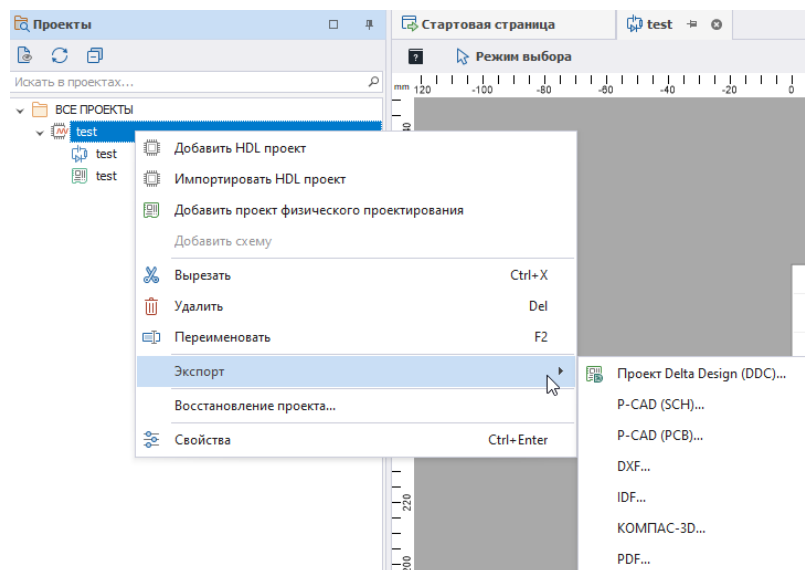


Примечание! Выбор расположения и принадлежности создаваемого проекта определенному узлу произвольный (пользовательский). К примеру, создаваемый пользователем проект может быть размещен как в узле «Все проекты», так и внутри любой созданной папки.

Из контекстного меню, вызванного с имени проекта цифрового моделирования, доступны следующие действия:



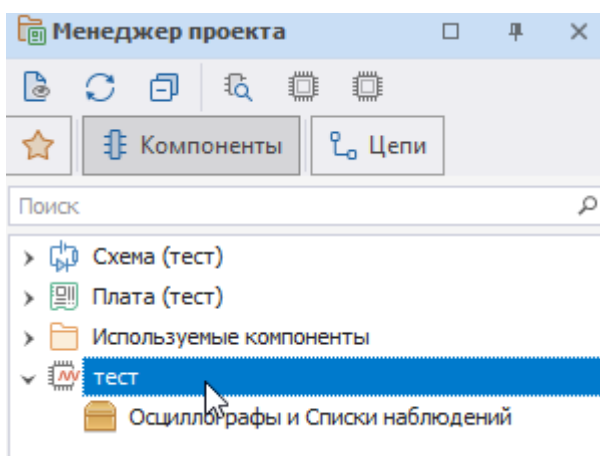
Экспортировать проект цифрового моделирования возможно в нескольких форматах:




По умолчанию при создании проекта цифрового моделирования в дереве проекта создаются узлы со схемой и платой. Если по какой-то причине схема была удалена, ее создание доступно из контекстного меню, вызванного с имени проекта цифрового моделирования -> пункт «Добавить схему».

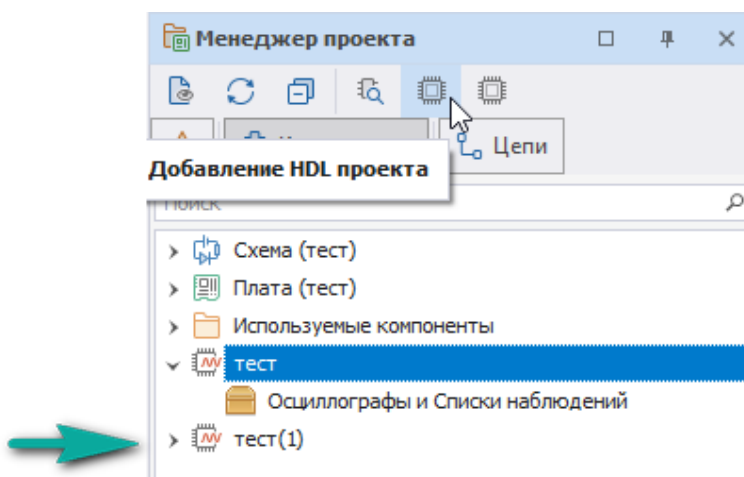
Панель «Менеджер проекта»

Работа с HDL проектом в панели «Менеджер проекта» ведется в случае создания такого проекта в рамках проекта печатной платы Delta Design. Созданный HDL проект не отображается в панели «Проекты», а размещается в панели «Менеджер проекта» на вкладке «Компоненты».



Важно! Доступно при активном редакторе схемы проекта печатной платы Delta Design.

Добавление нового HDL проект в данном случае осуществляется из панели «Менеджер проекта» нажатием специальной кнопки , расположенной на панели инструментов.



Панель «Свойства»

Панель «Свойства» служит для отображения содержимого активных элементов и других объектов. Если клик был выполнен, к примеру, в свободном месте схемы, отображаются свойства всей схемы.

Текстовый редактор

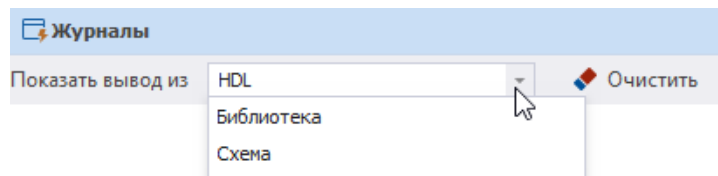
Текстовый редактор, в котором отображается содержимое открытых файлов, предназначен для отображения данных проектных файлов на языках Verilog и VHDL. Широкий функционал предоставляет такие возможности как:

- подсветка языковых конструкций VHDL и Verilog;
- автоматическое дополнение языковых конструкций;
- тесная интеграция с компилятором и ядром моделирования для отладки программ. (предусмотрена возможность указания переменных, за которыми устанавливается наблюдение (Watcher), точек останова (Breakpoints) и т.п.);
- настройка подсветки языковых конструкций VHDL и Verilog;
- настройка цветовых стилей редактора (темный и светлый стили);
- использование горячих клавиш для работы с редактором.

Панель «Журналы»

В панель «Журналы» система выводит результаты компиляции проекта(ов). Панель «Журналы» по умолчанию расположена в нижней части главного окна. При необходимости, убедиться в том, что она отображается можно с помощью ее вызова из главного меню -> «Вид» -> «Журналы».

В панели доступна активация фильтрации по отображаемым данным.



Панель «Список ошибок»

В панели «Список ошибок» выводятся сообщения об ошибках и предупреждениях, полученных по завершению процесса компиляции проекта и выполнения моделирования.

Группирование выявленных ошибок по категориям «Ошибка», «Предупреждение», «Сообщение» осуществляется на основании общепринятых стандартов.



Примечание! Для языка VHDL это стандарт IEEE 1076-2008. Для Verilog – IEEE 1364-2001 и IEEE 1364-2005. А также для Verilog-AMS Accelera 2.4.0.

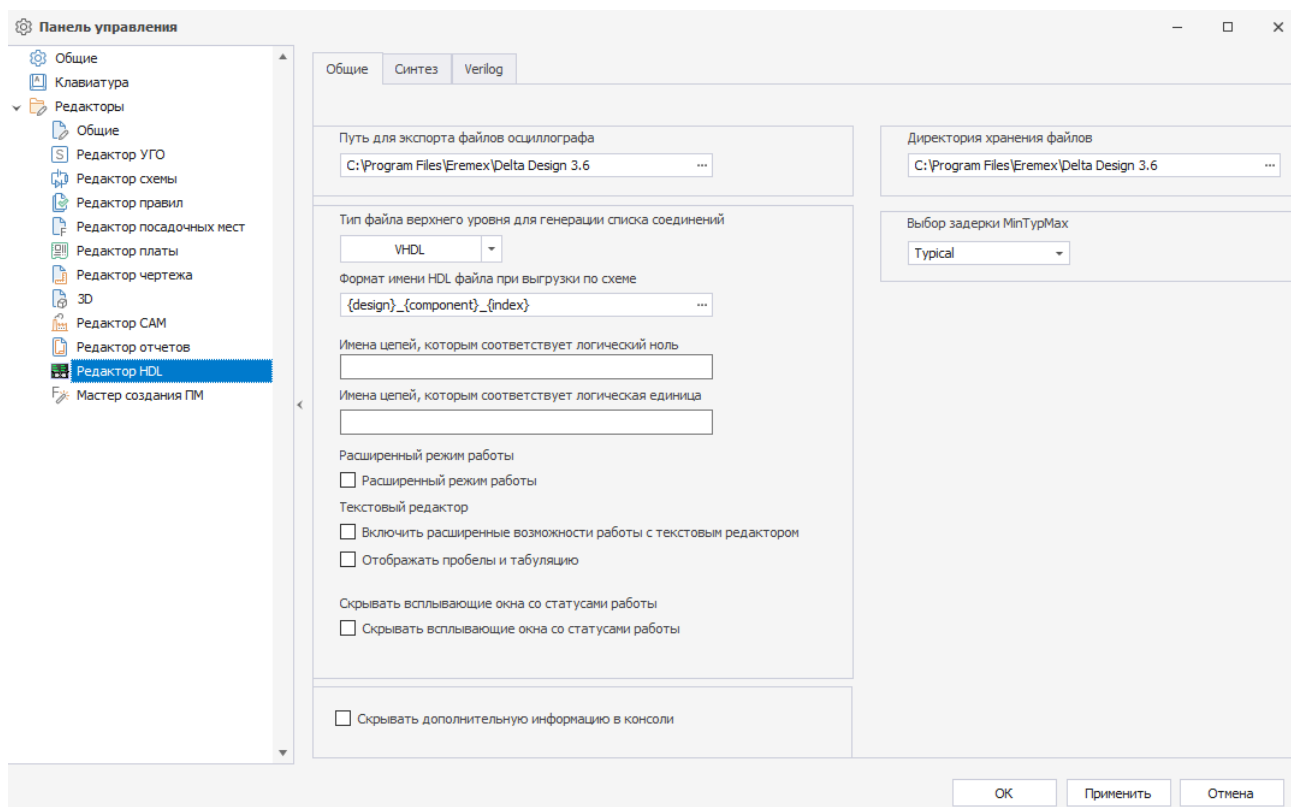
Панель «Модели»

В панели «Модели» размещены уже готовые шаблоны компонентов. Панель «Модели», узел «Цифровые модели».

Настройка редактора

Работу в модуле аналого-цифрового моделирования на языке Verilog-AMS рекомендуется начать с настройки HDL редактора:

1. Откройте Настройки системы с помощью главного меню.
2. Перейдите к настройкам HDL редактора.



В поле «Путь для экспорта файлов осциллографа» прописывается путь к месту размещения и хранения, записанных в ходе моделирования данных.

В поле «Тип файла верхнего уровня для генерации списка соединений» из выпадающего списка выбирается язык (VHDL или Verilog), на базе которого будет сгенерирован список соединений HDL проекта.

В поле «Формат имени HDL файла при выгрузке по схеме» вписывается формат записи отображения позиционного обозначения компонентов. Формат такой записи можно менять. По умолчанию он представлен в следующем формате: {design}_{component}_{index}, где design – имя HDL проекта, component – имя компонента, index – порядковый номер компонента на схеме.

В поле «Имена цепей, которым соответствует логический ноль» указываются имена цепей на схеме, которым при моделировании будет соответствовать ноль.

В поле «Имена цепей, которым соответствует логическая единица» указываются имена цепей на схеме, которым при моделировании будет соответствовать единица.

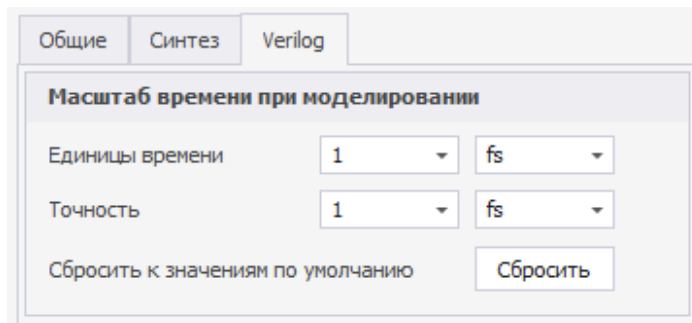


Важно! Необходимо придерживаться полного совпадения имен цепей на схеме и в поле «Имена цепей, которым соответствует логический ноль» и «Имена цепей, которым соответствует логическая единица» для корректной работы.

Установка флага в поле «Расширенный режим» дает доступ к редактированию наполнения HDL файлов.

Установка флага в поле «Скрывать всплывающие окна со статусами работы» отключает всплывающие окна с такими уведомлениями, к примеру, как уведомление о завершении компиляции.

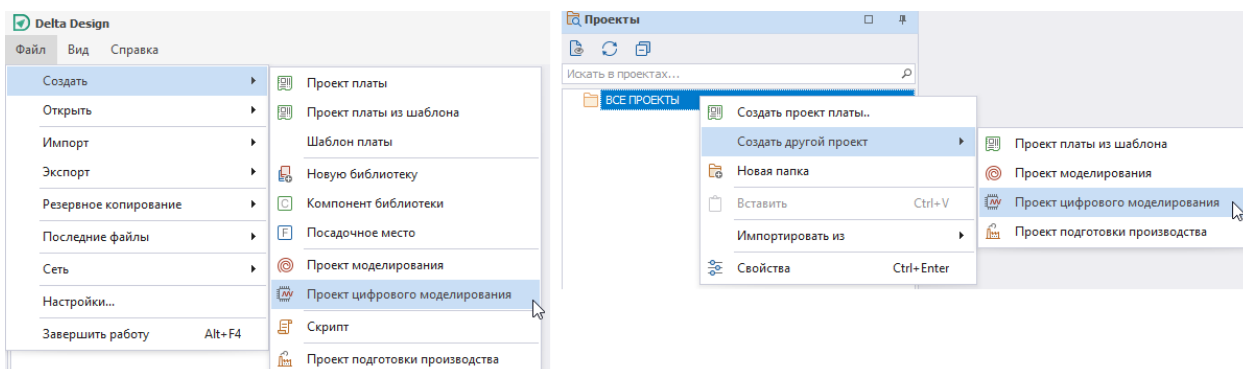
Также в настройках HDL редактора выведена настройка масштаба времени модулей Verilog/SystemVerilog.



Создание проекта цифрового моделирования и проекта печатной платы Delta Design

Для того, чтобы создать проект цифрового моделирования:

1. В главном меню перейдите в раздел «Файл» -> «Создать» -> «Проект цифрового моделирования» или из панели «Проекты» -> вызовите контекстное меню с любой выбранной папки -> «Создать другой проект» -> «Проект цифрового моделирования».



Примечание! Механизм создания проекта цифрового моделирования, описанный выше, выполняется полностью в модуле Delta Design аналого-цифрового моделирования на языке Verilog-AMS, что означает невозможность дальнейшего перехода и переноса полученных данных в проект печатной платы Delta Design.

Механизм создания проекта печатной платы описан в Руководство пользователя, документ «Проекты».

HDL-проект

Гибкость системы позволяет создать HDL-проект как в рамках проекта цифрового моделирования модуля аналого-цифрового моделирования на языке Verilog-AMS, так в рамках проекта печатной платы Delta Design, но прежде необходимо выбрать внутри какой именно структуры верхнего порядка он будет создан.

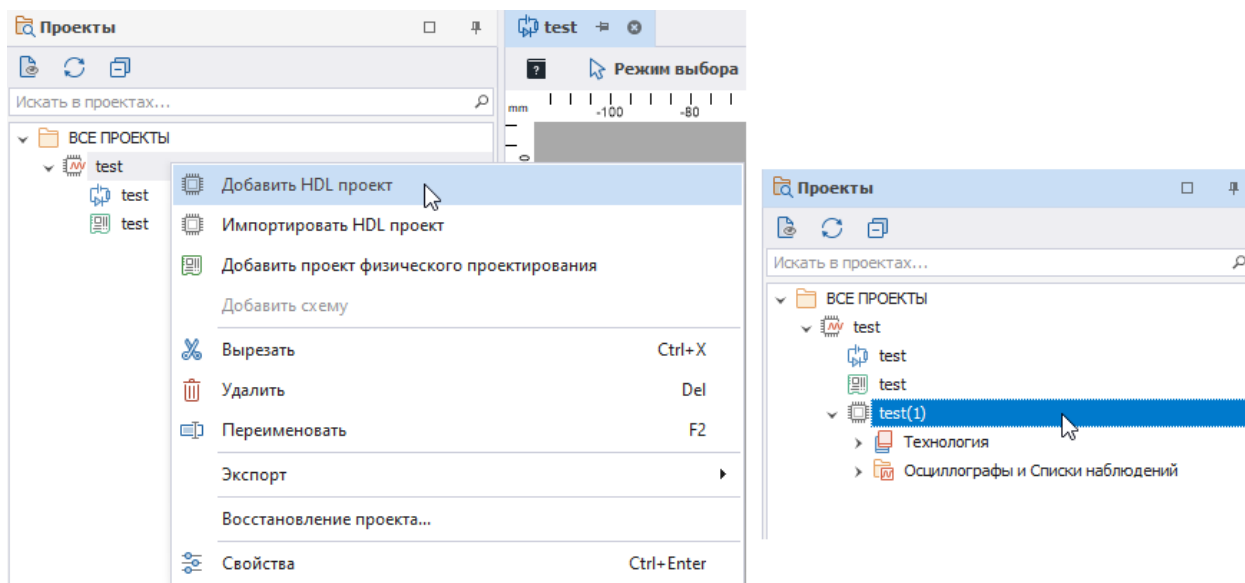


Примечание! Механизм создания проекта цифрового моделирования, описанный выше, выполняется полностью в модуле Delta Design аналого-цифрового моделирования на языке Verilog-AMS, что означает невозможность дальнейшего перехода и переноса полученных данных в проект печатной платы Delta Design.

Создание HDL проекта


Для создания HDL проекта в рамках проекта цифрового моделирования:

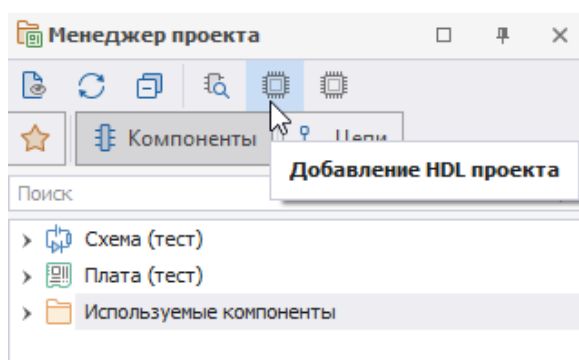
1. Вызовите контекстное меню с имени проекта цифрового моделирования, в рамках которого необходимо добавить HDL проект.
2. Выберите пункт «Добавить HDL проект».



HDL проект в рамках проекта печатной платы Delta Design создается из панели «Менеджер проекта».

Для добавления HDL проекта в рамках проекта печатной платы Delta Design:

1. При открытом окне схемы проекта перейдите в панель «Менеджер проекта».
2. На панели инструментов панели выберите кнопку .



Важно! Кнопка для добавления HDL проекта доступна только при активном окне схемы проекта печатной платы Delta Design.

Переименование проекта

Переименование проекта доступно из контекстного меню. Вызовите контекстное меню с имени HDL проекта и выберите пункт «Переименовать». Порядок действий аналогичен как для HDL проекта, созданного в рамках проекта цифрового моделирования, так для HDL

проекта, созданного в рамках проекта печатной платы Delta Design. Обращаем внимание, что для данного действия по умолчанию также задана горячая клавиша F2.

Удаление проекта

Удаление происходит по аналогии с переименованием, из контекстного меню, вызванного с имени HDL проекта. Для данного действия также задана горячая клавиша Delete.

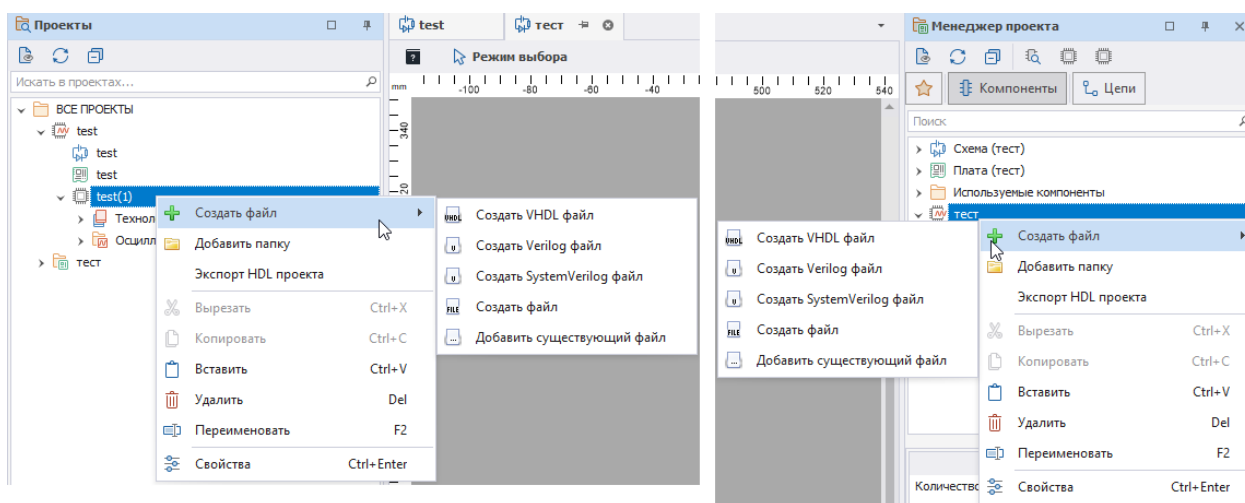
HDL-файл

Создание файла

В рамках проекта цифрового моделирования создание HDL-файла осуществляется с помощью контекстного меню, вызванного с имени HDL проекта. (рисунок слева)

В контекстном меню выберите пункт «Создать файл», после чего в открывшемся списке выберите какой именно HDL-файл требуется создать.

В рамках проекта печатной платы Delta Design создание HDL-файла осуществляется в панели «Менеджер проекта» на вкладке «Компоненты». (рисунок справа)



Переименование файла

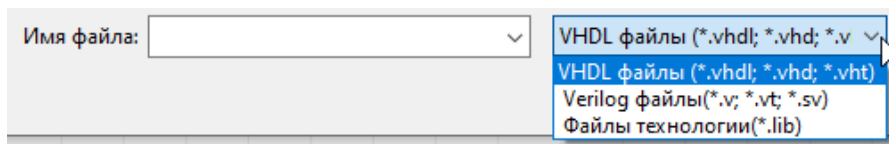
Переименование HDL-файла доступно из контекстного меню, вызванного с имени HDL-файла. Для данного действия по умолчанию также задана горячая клавиша F2.

Удаление файла

Удаление HDL-файла доступно также как переименование – из контекстного меню, вызванного с имени HDL-файла. Для данного действия также задана горячая клавиша Delete.

Добавление существующего файла

Добавление существующего HDL-файла в проект доступно из контекстного меню, вызванного с имени HDL проекта, после выберите пункт «Создать файл» -> «Добавить существующий файл». Убедитесь, чтобы требуемый файл был сохранен в том расширении, которое возможно загрузить в Delta Design.



Просмотр свойств HDL-файла

Для отображения свойств HDL-файла в контекстном меню, вызванном с имени файла, выберите пункт «Свойства». Свойства файла будут отображены в панели «Свойства».

Текстовый редактор

Для изменения содержимого (кода) HDL-файлов используется встроенный текстовый редактор с функцией подсветки кода.

Для того чтобы открыть HDL-файл в текстовом редакторе необходимо выполнить двойной клик по имени HDL-файла, либо в контекстном меню, вызванном с имени самого файла, выбрать пункт «Открыть...».

Моделирование


Подготовка к моделированию

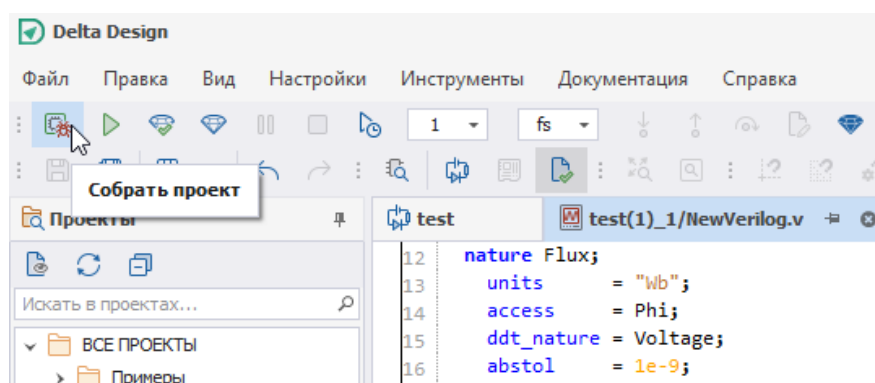
Перед моделированием программный код необходимо проверить, скомпилировать и лишь потом исполнить. Код может содержать ошибки, которые не позволят сразу его скомпилировать и, соответственно, запустить моделирование. Поэтому, перед запуском моделирования, рекомендуется предварительно скомпилировать код, исправить ошибки (если они есть и найдены системой) и только потом запускать моделирование.

Компиляция

Компиляция HDL-проекта

Для запуска компиляции HDL проекта:

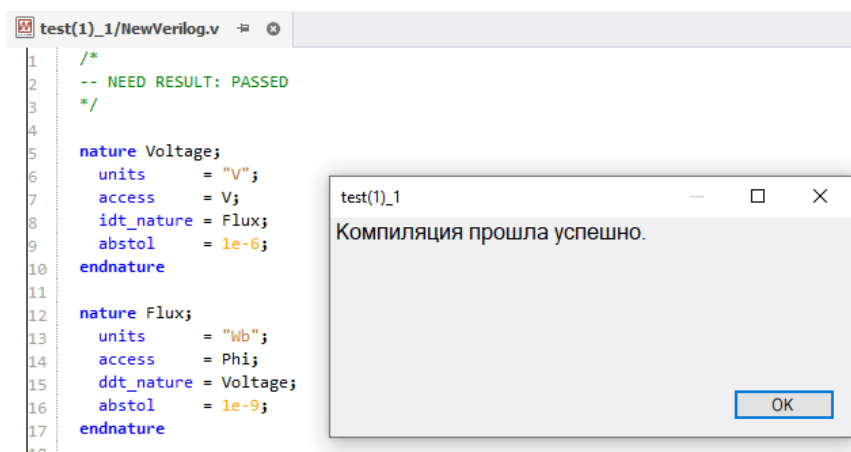
1. Откройте HDL файл.
2. На панели инструментов «HDL» нажмите кнопку  «Собрать проект». компиляция будет запущена.



Процесс компиляция будет отображен в панели «Журналы». По умолчанию данная панель закреплена в нижней части рабочей области.

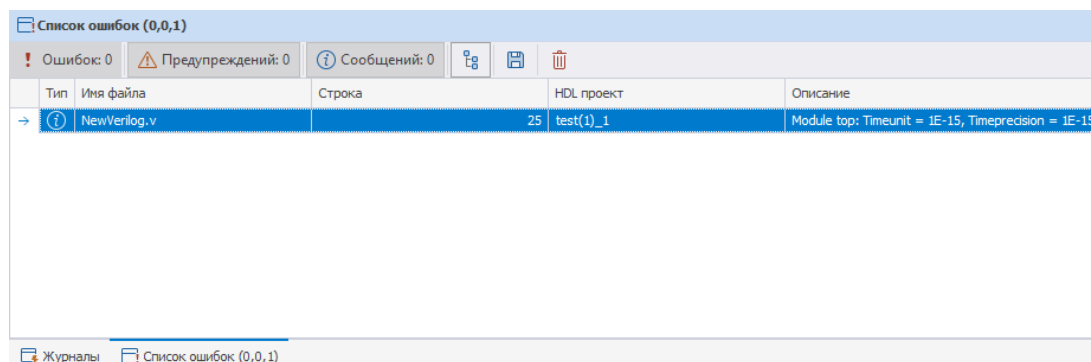


Примечание! Если в настройках редактора ранее не была отключено оповещение о компиляции по ее завершению в рабочей области система выведет окно с сообщением об успешной компиляции проекта.



Навигация в коде

Просмотр выявленных ошибок и предупреждений, а также навигация по ним осуществляются в панели «Список ошибок», подробнее см. раздел «Панель «Список ошибок». Отображение ошибок происходит после остановки симуляции.



Двойной клик на записи об ошибке переводит курсор на соответствующую строку в текстовом редакторе.

Режимы моделирования

Моделирование осуществляется в рамках какого-либо проекта. Не рекомендуется запускать моделирование, если проект не был ранее скомпилирован, т.к. в коде могут присутствовать ошибки, которые необходимо предварительно исправить.

В результате моделирования возможно разобрать изменения различных параметров устройства в течение времени. Под временем в данном случае понимается внутреннее время, описывающее начало работы устройства и последующие изменения. Фактически, внутреннее время – это интервал от момента запуска устройства до его остановки (завершения процесса моделирования).


При запуске процесса моделирования в системе начинается отсчет внутреннего времени, которое требуется системе для проведения всех необходимых расчётов. Внутреннее время не соответствует реальному.

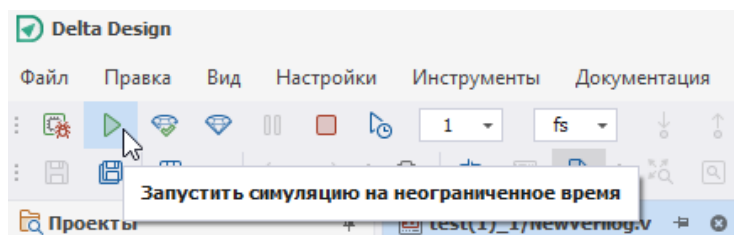
В системе предусмотрена возможность проведения двух типов моделирования:

- Моделирование открытого интервала – запуск симуляции на неограниченное время, когда процесс моделирования, и, соответственно, расчет внутреннего времени останавливаются только по команде.
- Моделирование заданного интервала – запуск симуляции на заданное время, когда процесс моделирования автоматически останавливается, когда внутреннее время достигает установленного значения.

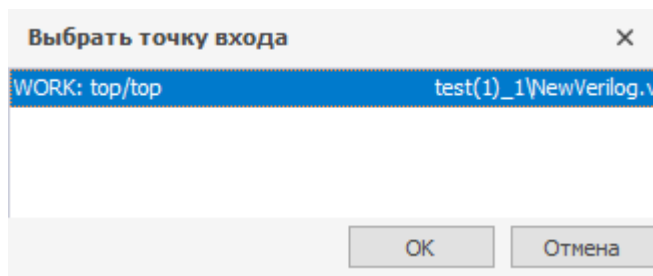
Моделирование открытого интервала

Для запуска симуляции на неограниченное время:

1. Откройте HDL файл выбранного HDL проекта.
2. В панели инструментов «HDL» выберите кнопку .



Система запросит выбрать точку входа для запуска симуляции.



После подтверждения выбора точки входа симуляция будет запущена.



Примечание! При моделировании открытого интервала времени рекомендуется использовать осциллограф для визуального контроля процесса моделирования.

Моделирование заданного интервала

Моделирование заданного интервала может применяться в тех случаях, когда необходимо промоделировать какой-то конкретный интервал времени работы устройства. Важно, что задаваемый интервал всегда отсчитывается от текущего состояния.



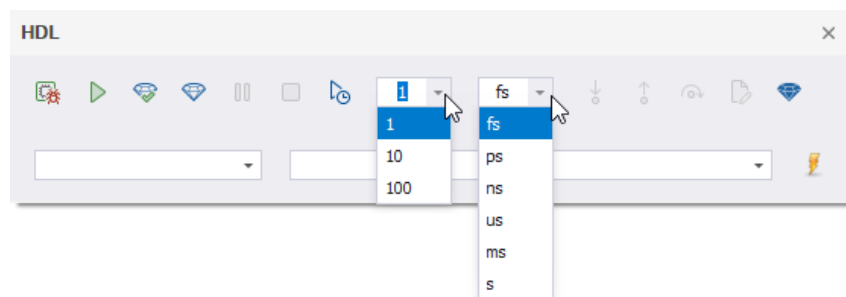
Пример! Процесс моделирования был остановлен на отметке внутреннего времени 120 мкс. Далее запускается моделирование работы устройства на промежуток 100 мкс. При этом моделирование будет продолжено с отметки 120 мкс., и, в итоге, будет промоделировано 220 мкс. работы устройства.



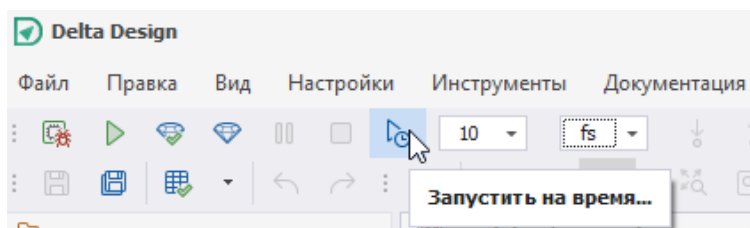
Примечание! Моделирование заданного интервала всегда оканчивается остановкой (паузой), а не завершением моделирования.

Для запуска симуляции на ограниченное время:

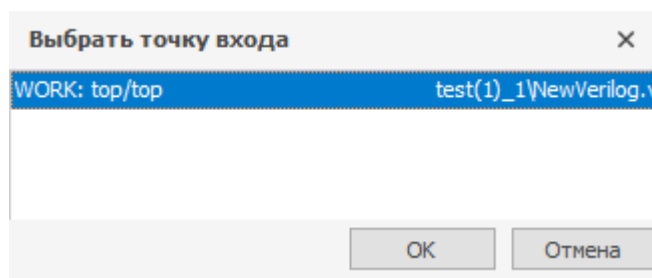
1. Откройте HDL файл выбранного HDL проекта.
2. В панели инструментов установите значение временного интервала и выберите формат времени.



3. В панели инструментов «HDL» нажмите кнопку  для запуска моделирования.



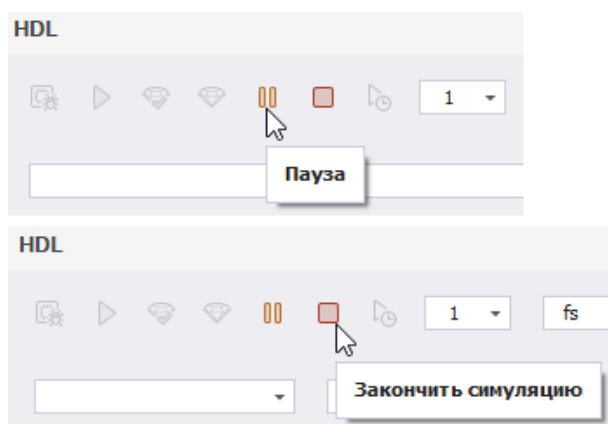
Система запросит выбрать точку входа для запуска симуляции.



После подтверждения выбора точки входа симуляция будет запущена.

Остановка и завершение моделирования

После запуска симуляции на панели инструментов станут доступны две функции «Пауза» и «Закончить симуляцию».



Нажатие кнопки «Закончить симуляцию» завершит процесс моделирования. В панели «Журналы» отобразится соответствующая строка, информирующая о прекращении моделирования.

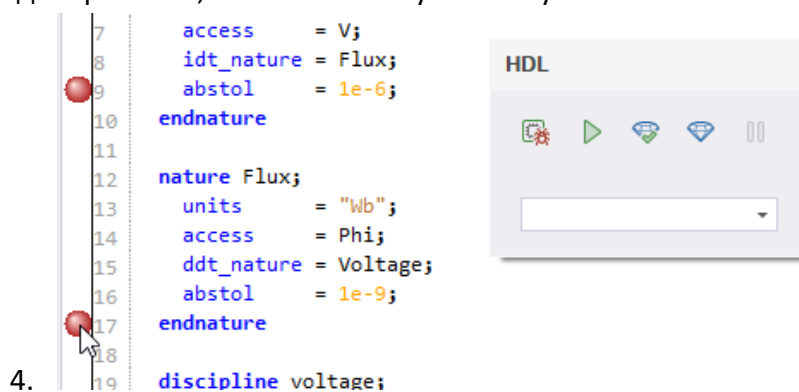
Пошаговое выполнение кода

Разработчику для эффективной отладки работы устройства, может понадобиться режим пошагового исполнения кода. Пошаговое исполнение кода выполняется с заданной позиции – точки останова или от момента, когда процесс моделирования приостановлен.

Точка останова – это метка, указывающая на какой строке кода процесс моделирования должен приостановиться. При этом моделирование не завершается, его можно продолжить в автоматическом или пошаговом режиме.


Для того чтобы указать точку останова:


1. Откройте HDL-файл, содержащий код, где необходимо установить точку останова.
2. Наведите курсор на панель, расположенную слева от текста.
3. Выберите строчку кода, перед выполнением которой необходимо остановить процесс моделирования, и нажмите левую кнопку мыши.



Точка останова будет установлена. При работе можно использовать несколько точек останова в различных частях кода.

В процессе моделирования, когда исполнение кода достигает установленной точки, происходит остановка процесса моделирования (пауза). Далее можно выполнять пошаговое или автоматическое исполнение кода. В пошаговом исполнении каждая строка кода будет исполняться при поступлении соответствующей команды.

Для исполнения строки кода необходимо перейти на панель инструментов «HDL» и нажать кнопку,  открывающую заход в функцию.

Для перехода к следующей строке кода тела выбранной функции нажмите соответствующую кнопку , расположенную на панели инструментов «HDL».

Для выхода из функции используйте кнопку .



Примечание! Каждое действие с функциями отображается в панели «Журналы».

Визуализация данных

Возможности визуализации

Данные, полученные в процессе моделирования, необходимо визуализировать. Для этого в модуле аналого-цифрового моделирования на языке Verilog-AMS есть следующие возможности:

- Просмотр данных в графическом виде с помощью осциллографа.
- Просмотр данных в текстовом виде.

Структура переменных

Все используемые в проектах переменные группируются в иерархическую структуру. Переменные группируются в соответствии с операторами, определяющими структуру HDL-проекта. Именно такую структуру будет иметь дерево переменных при их добавлении в осциллограф или список просмотра значений.

Осциллограф

Осциллограф – это инструмент визуального представления результатов проектирования. В проекте может одновременно использоваться несколько осциллографов для отображения различных групп данных, поэтому каждому осциллографу в проекте присваивается уникальное имя.

Работа осциллографа

Для просмотра с помощью осциллографа данных, получаемых при моделировании:

1. Добавьте осциллограф в HDL-проект.
2. Выберите переменные, для отображения в осциллографе и сохраните изменения.
3. Откройте осциллограф с отображаемыми данными.
4. Запустите моделирование.



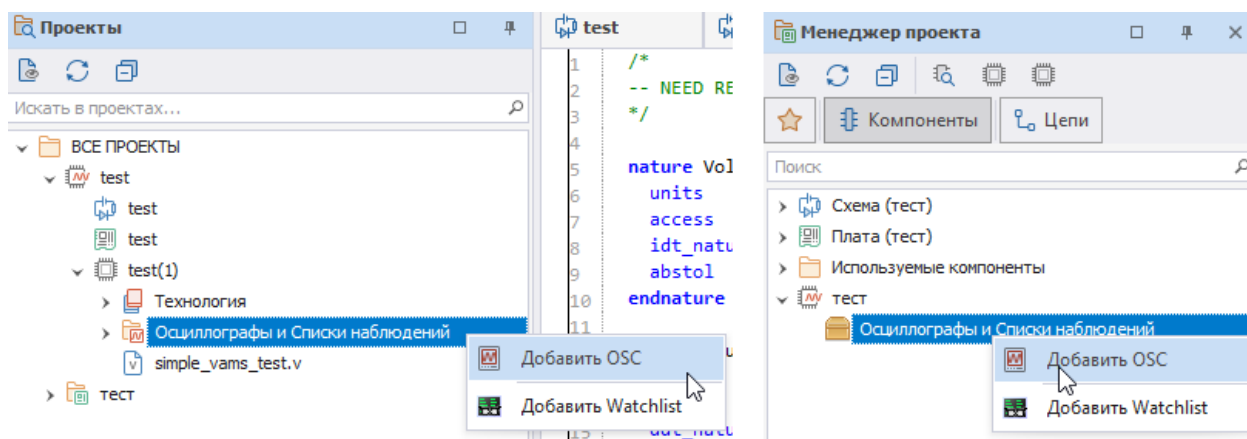
Примечание! Для работы осциллографа моделируемый проект должен быть предварительно собран.

Добавление осциллографа в HDL-проект

Для добавления в HDL-проект осциллографа:

1. Перейдите в панели «Проекты» или «Менеджер проекта» к выбранному HDL проекту.
2. В дереве проекта выберите узел «Осциллографы и Списки наблюдений» и вызовите контактное меню.

3. Выберите пункт «Добавить OSC».



Новый осциллограф отобразится в узле «Осциллографы и Списки наблюдений».

Переименование осциллографа

Переименование осциллографа доступно из контекстного меню, вызванного с имени выбранного осциллографа.

Удаление осциллографа


Удаление осциллографа доступно из контекстного меню, вызванного с имени выбранного осциллографа.

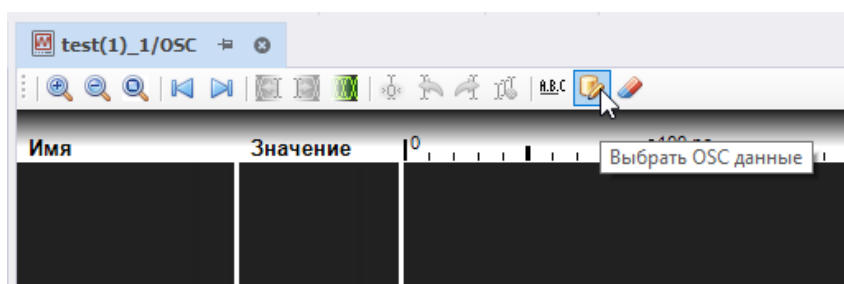
Выбор переменных для отображения в осциллографе



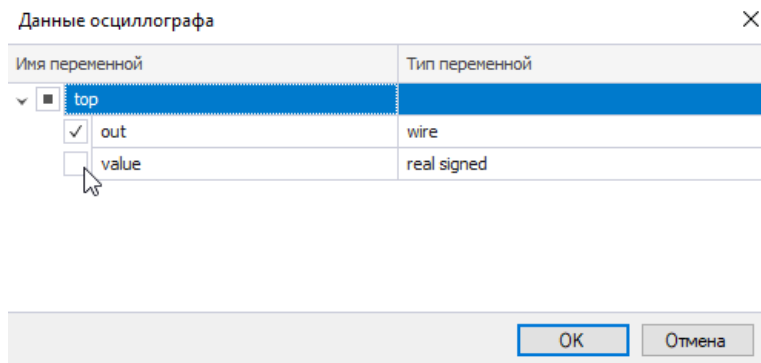
Примечание! Для выбора данных в осциллографе HDL проект должен быть собран.

Для выбора данных в осциллографе:

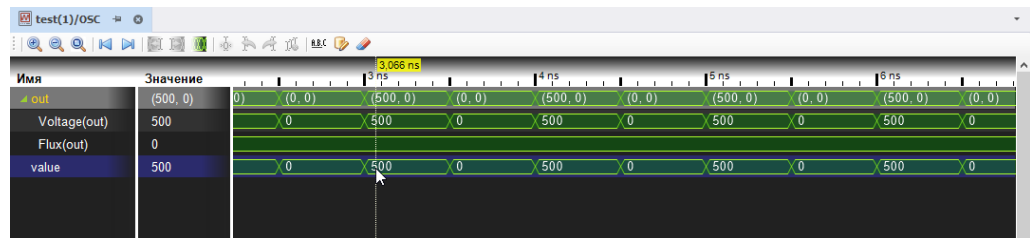
1. Откройте осциллограф двойным кликом по имени осциллографа.
2. В окне осциллографа на панели окна осциллографа нажмите  для выбора данных.



3. В открывшемся окне выберите данные путем установки флага рядом с данными, которые необходимо будет учесть при работе с осциллографом.

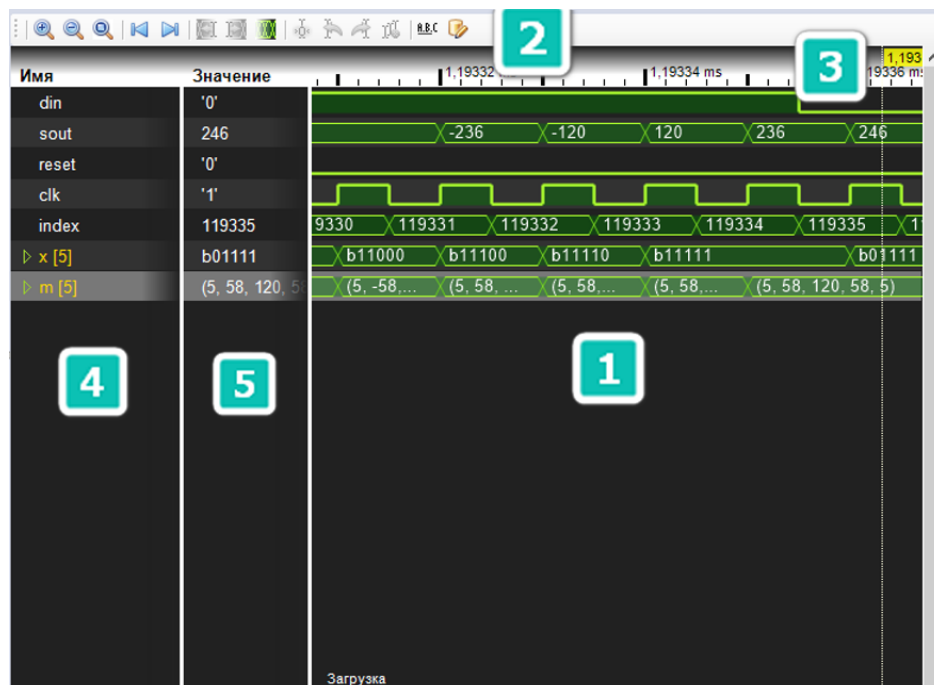


4. Нажмите «ОК».
5. В окне осциллографа отобразится процесс обработки данных.



Окно осциллографа

Окно осциллографа состоит из следующих основных частей:



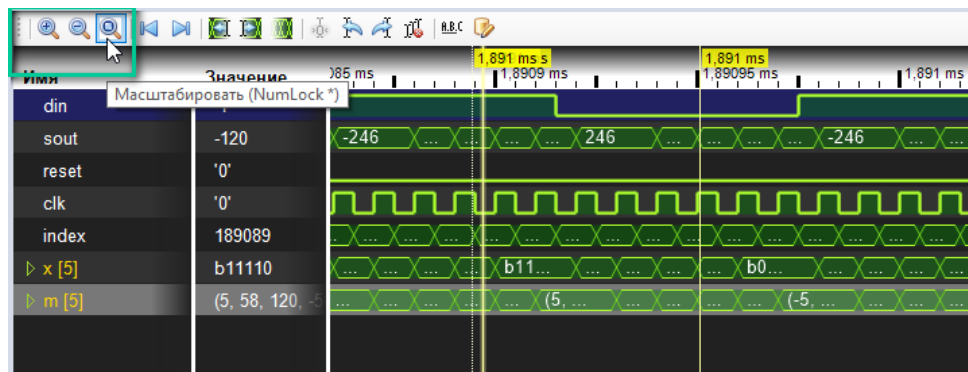
1. Область отображения данных.
2. Панель инструментов.
3. Ось (шкала) времени.
4. Список переменных.
5. Область значений (переменных).

Работа с данными в осциллографе

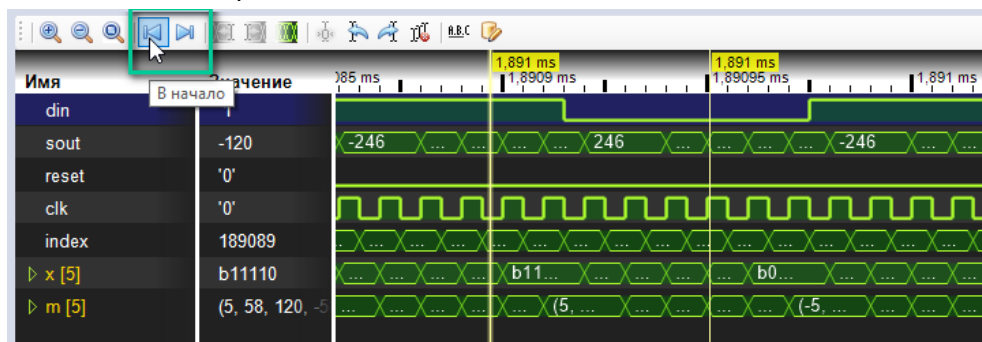
Отображение данных в осциллографе осуществляется по мере выполнения процесса моделирования. Во время моделирования доступен просмотр данных, однако, следует учитывать, что с течением времени количество данных возрастает. После остановки или завершения моделирования, данные фиксируются и доступны для полноценного просмотра.

В осциллографе для работы с данными предусмотрены следующие возможности:

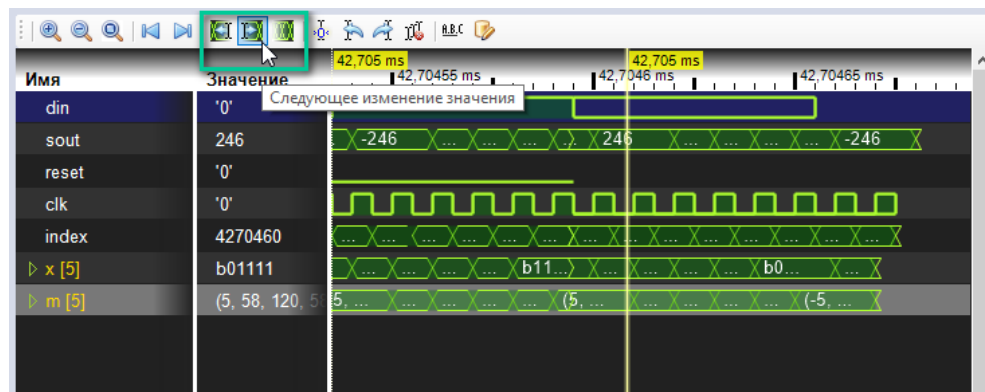
- Изменение масштаба.



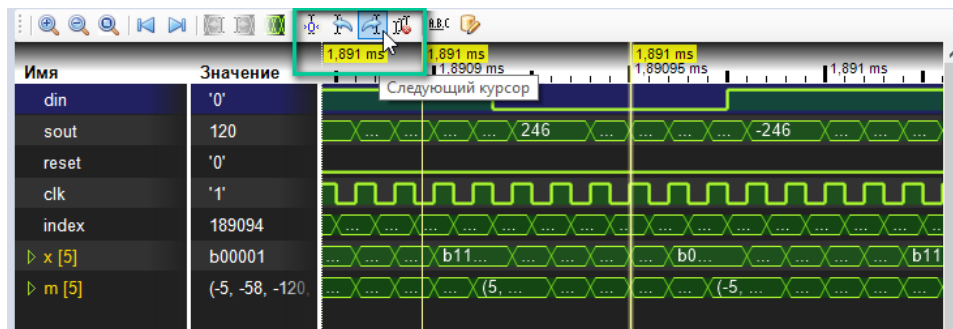
- Перемещение по оси времени.



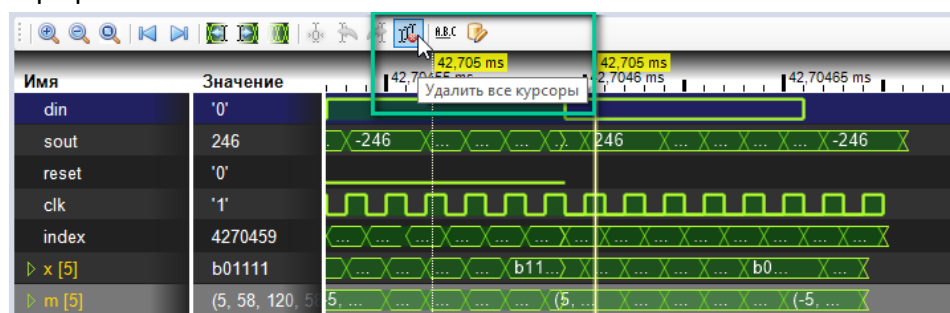
- Перемещение курсора.



- Использование курсоров для анализа данных. Если установлен один курсор и более. Размещение курсора выполняется двойным кликом в области отображения данных.




- Удаление курсора осциллографа. Курсор удаляется двойным кликом по нему, либо при помощи специальной кнопки, расположенной на панели инструментов окна осциллографа.

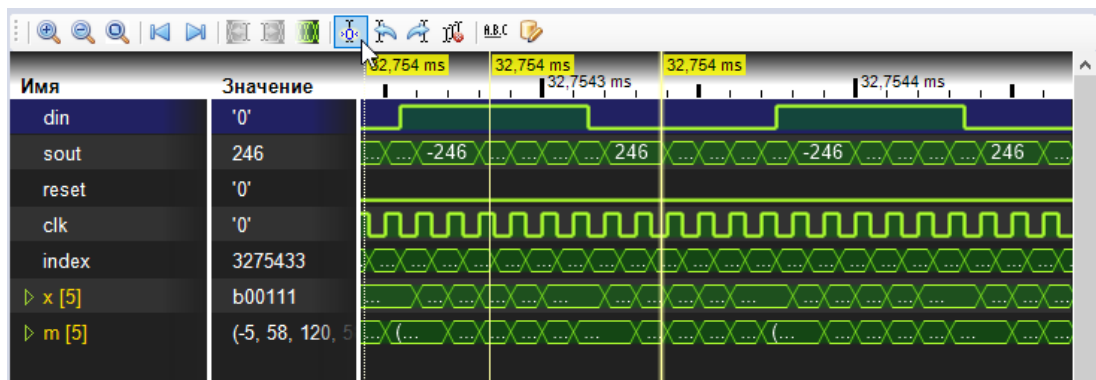


- Вычисление интервала времени между курсорами. При одновременном использовании в осциллографе нескольких курсоров автоматически вычисляется положение по оси времени для каждого курсора относительно первого – расположенного ближе всего к началу отсчета. На рисунке ниже показаны три курсора, в нижней оси времени (в нижней части окна осциллографа) отображается промежуток времени между первым курсором и каждым последующим.



Для того чтобы назначить курсор в качестве относительной точки отсчета:

- Перейдите в окно осциллографа и выберите тот курсор, который предполагается использовать в качестве относительной точки отсчета.
- Нажмите кнопку .

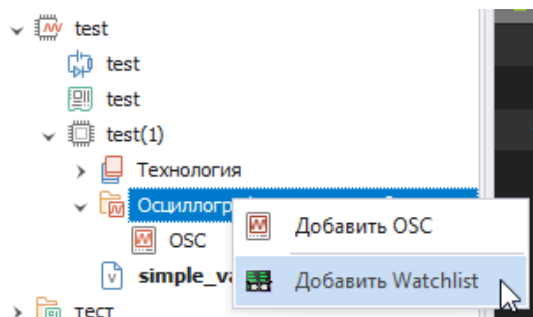


Данные в текстовом виде

Просмотр текущих значений переменных в текстовом виде осуществляется с помощью специального инструмента просмотра Watchlist. Перед запуском моделирования или компиляции инструмент необходимо внести в HDL-проект, а затем выбрать переменные, значения которых нужно просмотреть. В HDL-проекте может использоваться неограниченное количество списков просматриваемых переменных.

Для добавления в HDL проект списка наблюдений:

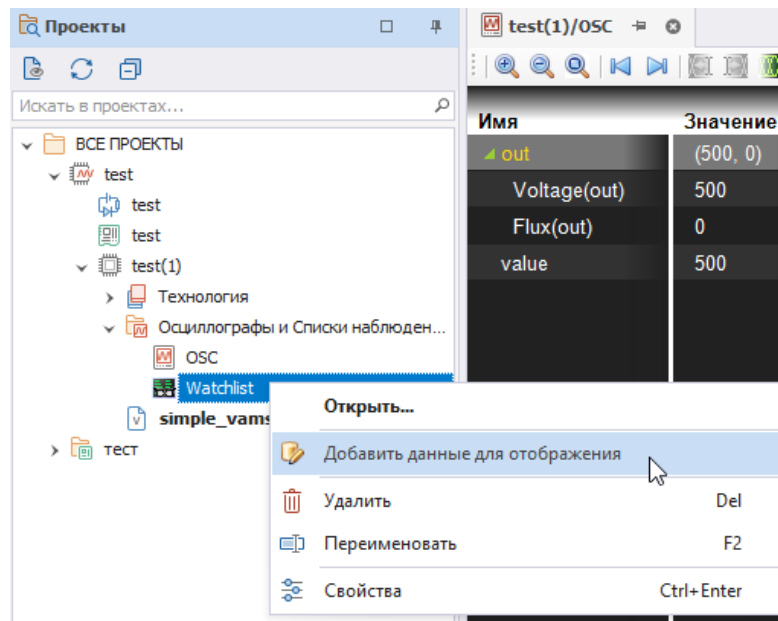
1. Раскройте дерево выбранного HDL проекта.
2. Вызовите контекстное меню с узла «Осциллографы и Списки наблюдений» и выберите пункт «Добавить Watchlist», см.



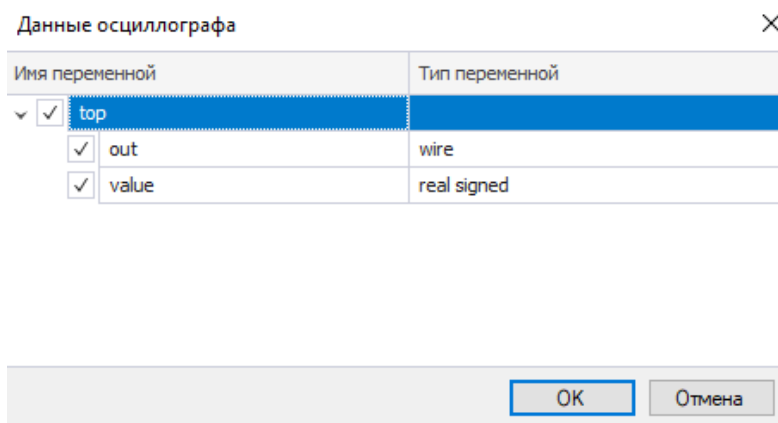
Добавление и просмотр данных в списке наблюдений

Для того чтобы внести данные в список наблюдений HDL проекта:

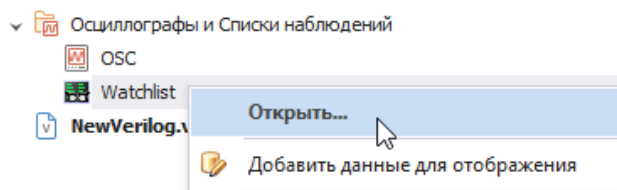
1. Вызовите контекстное меню с ранее созданного узла «Watchlist».
2. Выберите пункт «Добавить данные для отображения».



3. В открывшемся окне выберите данные путем установки флага в строке с именем требуемых данных.



4. Нажмите «ОК».
5. Откройте окно списка наблюдений.



6. Данные будут обработаны и отображены в окне списка наблюдений.

Имя	Значение
din	'0'
sout	236
reset	'0'
clk	'1'
index	14300124
x [5]	b10000
m [5]	(5, -58, -120, -58, -5)

Переименование списка наблюдений

Переименование списка наблюдений доступно из контекстного меню, вызванного с имени списка наблюдений.

Удаление списка наблюдений

Удаление списка наблюдений доступно из контекстного меню, вызванного с имени списка наблюдений.